

I hereby certify that this correspondence is being deposited with the U.S. Postal Service as Express Mail, Airbill No. EV526070736US, in an envelope addressed to: MS Missing Parts, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450, on the date shown below.

Dated: September 21, 2004

Signature: Tawana L. Garcia
(Tawana L. Garcia)

Docket No.: 02008/167001
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Shoji Kojima

Application No.: 10/848,823

Confirmation No.: 4778

Filed: May 19, 2004

Art Unit: N/A

For: SEMICONDUCTOR TESTER

Examiner: Not Yet Assigned

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

MS Missing Parts
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

| <u>Country</u> | <u>Application No.</u> | <u>Date</u> |
|----------------|------------------------|-------------|
| Japan | 2001-354217 | 11/20/2001 |

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: September 21, 2004

Respectfully submitted,

By [Signature] #45,079

Jonathan P. Osha

Registration No.: 33,986

OSHA & MAY L.L.P.

1221 McKinney St., Suite 2800

Houston, Texas 77010

(713) 228-8600

(713) 228-8778 (Fax)

BEST AVAILABLE COPY

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2001年11月20日

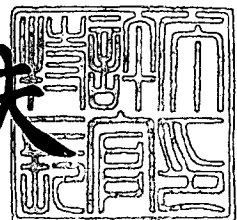
出 願 番 号
Application Number: 特願2001-354217
[ST. 10/C]: [JP2001-354217]

出 願 人
Applicant(s): 株式会社アドバンテスト

2004年 6月17日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



CERTIFIED COPY OF
PRIORITY DOCUMENT

【書類名】 特許願

【整理番号】 ATS10417-1

【あて先】 特許庁長官 殿

【国際特許分類】 G01R

【発明者】

【住所又は居所】 東京都練馬区旭町 1 丁目 3 2 番 1 号 株式会社アドバン
テスト内

【氏名】 小島 昭二

【特許出願人】

【識別番号】 390005175

【氏名又は名称】 株式会社アドバンテスト

【代表者】 丸山 利雄

【手数料の表示】

【予納台帳番号】 045207

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体試験装置

【特許請求の範囲】

【請求項 1】 ピンエレクトロニクスに備えるドライバ回路が被試験デバイス（DUT）の IC ピンへ供給すべき整形信号を受けて、所定レベルの振幅に変換し、変換したドライバ出力パルスを DUT の IC ピンへ供給する構成を備える半導体試験装置において、

ドライバの出力端から出力するドライバ出力パルスの立ち上がりエッジと立下がりエッジの波形を個々に所定に補償するパルス補償手段を備える、ことを特徴とする半導体試験装置。

【請求項 2】 パターン発生器と波形整形器とに基づいて所定に整形された所定タイミングの整形信号をピンエレクトロニクスに備えるドライバ回路が受けて、所定レベルの振幅に変換したドライバ出力パルスを被試験デバイス（DUT）の IC ピンへ供給する構成を備える半導体試験装置において、

DUT の IC ピンの入力端における DUT 端パルス信号の立ち上がりエッジと立下がりエッジの波形が所定の波形となるように、ドライバの出力端から出力するドライバ出力パルスの立ち上がりエッジと、ドライバ出力パルスの立下がりエッジとの両波形において、個別の補償条件でピーキング補償できるパルス補償手段を備える、ことを特徴とする半導体試験装置。

【請求項 3】 該パルス補償手段は、ドライバ出力パルスに対する立ち上がり側と立下がり側のピーキング補償量を外部から所定の補償量に調整制御できる補償量調整手段を備える、ことを特徴とする請求項 1 又は 2 記載の半導体試験装置。

【請求項 4】 該補償量調整手段は、出力する該ドライバ出力パルスのピーキング補償を行う所定の振幅量を外部から調整制御する手段を備える、ことを特徴とする請求項 3 記載の半導体試験装置。

【請求項 5】 該補償量調整手段は、出力する該ドライバ出力パルスのピーキング補償を行う所定のパルス幅期間を外部から調整制御する手段を備える、ことを特徴とする請求項 3 記載の半導体試験装置。

【請求項 6】 該パルス補償手段は、該整形信号を受けて該整形信号の立ち上がりエッジから所定期間の立ち上がり補正パルスを生成する立ち上がりエッジパルス生成手段と、

該整形信号の立下がりエッジから所定期間の立下がり補正パルスを生成する立下がりエッジパルス生成手段と、

該立ち上がり補正パルスと該立下がり補正パルスとの 2 つの信号に基づいてドライバの出力端から出力するドライバ出力パルスの立ち上がりエッジと立下がりエッジの波形を所定にピーキング補償するピーキング補償手段と、

を具備することを特徴とする請求項 1 又は 2 記載の半導体試験装置。

【請求項 7】 該パルス補償手段は、該整形信号を受けて該整形信号の立ち上がりエッジから所定期間の立ち上がり補正パルスを生成する立ち上がりエッジパルス生成手段を所定複数備え、

該整形信号の立下がりエッジから所定期間の立下がり補正パルスを生成する立下がりエッジパルス生成手段を所定複数備え、

該所定複数の立ち上がり補正パルスと該所定複数の立下がり補正パルスとの各々の信号に基づいて、ドライバの出力端から出力するドライバ出力パルスの立ち上がりエッジと立下がりエッジの波形を所定にピーキング補償するピーキング補償手段と、

を具備することを特徴とする請求項 1 又は 2 記載の半導体試験装置。

【請求項 8】 該立ち上がりエッジパルス生成手段及び該立下がりエッジパルス生成手段の個々のピーキング補償は、ドライバ出力パルスに重畳する振幅に対して個々に所定の重み付けした振幅量のピーキング補償量を付与し、ドライバ出力パルスに重畳するパルス幅に対して個々に所定のパルス期間のピーキング補償を付与する、ことを特徴とする請求項 6 又は 7 記載の半導体試験装置。

【請求項 9】 該ピーキング補償手段は、ドライバ回路の終段部と、前記終段部の前段に備えるドライバ回路の前段部と、ピーキング補償を付与するオーバーシュートコントロール部とを備える、ことを特徴とする請求項 6 又は 7 記載の半導体試験装置。

【請求項 1 0】 該ドライバ回路の終段部は差動増幅構成であって、第 1 の

トランジスタと第2のトランジスタと第1の分流抵抗と第2の分流抵抗と第1の定電流源と前記第2のトランジスタのコレクタ端に接続されている負荷抵抗とを備え、

該第1のトランジスタのエミッタ端と該第1の定電流源との間に所定抵抗値の第1の分流抵抗を挿入して接続し、

該第2のトランジスタのエミッタ端と該第1の定電流源との間に所定抵抗値の第2の分流抵抗を挿入して接続し、

両分流抵抗により両トランジスタが常に能動状態にバイアスされて動作し、

該第1の定電流源は該負荷抵抗へリピーキング補償に必要となる定電流量を流し、これによって生じる所定の電圧振幅でピーキング補償を行う電圧を発生する、ことを特徴とする請求項9記載の半導体試験装置。

【請求項11】 該ドライバ回路の前段部は差動増幅構成であって、第3のトランジスタと第4のトランジスタと第2の定電流源と前記第3のトランジスタのコレクタ端に接続されている所定抵抗値の第1の抵抗と前記第4のトランジスタのコレクタ端に接続されている所定抵抗値の第2の抵抗とを備え、

該第3のトランジスタのコレクタ端を該第2のトランジスタのベース端へ接続し、

該第4のトランジスタのコレクタ端を該第1のトランジスタのベース端へ接続し、

該整形信号の差動の入力信号を前段部が受けて、当該前段部から所定振幅の差動のスイッチ信号を発生して該第1のトランジスタと第2のトランジスタのベース端へ供給する、ことを特徴とする請求項9記載の半導体試験装置。

【請求項12】 該オーバーシュートコントロール部は、駆動パルス生成手段と、立ち上がりパルス重畳部と、立下がりパルス重畳部とを備える、ことを特徴とする請求項9記載の半導体試験装置。

【請求項13】 該駆動パルス生成手段は、該整形信号を受けて前記整形信号の立ち上がりエッジから所定期間の立ち上がり補正パルスを生成して差動で出力し、且つ整形信号の立下がりエッジから所定期間の立下がり補正パルスを生成して差動で出力する、ことを特徴とする請求項12記載の半導体試験装置。

【請求項 14】 該駆動パルス生成手段は、該整形信号を受けて前記整形信号の立ち上がりエッジから所定期間の立ち上がり補正パルスを生成して差動で出力し、且つ整形信号の立下がりエッジから所定期間の立下がり補正パルスを生成して差動で出力するものであり、

該立ち上がり補正パルスと立下がり補正パルスの生成パルス幅はピーキング補償する補償期間が所定に調整制御できるように、出力するパルス幅を外部から可変設定できる手段を備える、ことを特徴とする請求項 12 記載の半導体試験装置。

【請求項 15】 該立ち上がりパルス重畳部は差動増幅構成であって、第 5 のトランジスタと第 6 のトランジスタと第 3 の定電流源とを備え、

該第 5 のトランジスタのコレクタは該前段部の第 1 の抵抗の一端及び該終段部の第 2 のトランジスタのベース端に接続し、

該立ち上がり補正パルスを該立ち上がりパルス重畳部が差動で受けて、該第 5 のトランジスタに所定のシンク電流が流れるとき、該前段部の第 1 の抵抗の電圧を所定にドロップさせて、該終段部の第 2 のトランジスタのベース端の電圧を所定にドロップさせ、このドロップ電圧に基づいてドライバ出力パルスの立ち上がり側を所定にピーキング補償する、ことを特徴とする請求項 12 記載の半導体試験装置。

【請求項 16】 該立下がりパルス重畳部は差動増幅構成であって、第 7 のトランジスタと第 8 のトランジスタと第 4 の定電流源とを備え、

該第 7 のトランジスタのコレクタは該前段部の第 2 の抵抗の一端及び該終段部の第 1 のトランジスタのベース端に接続し、

該立ち上がり補正パルスを該立下がりパルス重畳部が差動で受けて、該第 7 のトランジスタに所定のシンク電流が流れるとき、該前段部の第 2 の抵抗の電圧を所定にドロップさせて、該終段部の第 1 のトランジスタのベース端の電圧を所定にドロップさせ、このドロップ電圧に基づいてドライバ出力パルスの立下がり側を所定にピーキング補償する、ことを特徴とする請求項 12 記載の半導体試験装置。

【請求項 17】 該第 3 の定電流源若しくは該第 4 の定電流源は、定電流量

が外部から制御可能な可変定電流源を適用して、ピーキング補償する補償量を可変設定できる、ことを特徴とする請求項 1 5 又は 1 6 記載の半導体試験装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、被試験デバイス（D U T）へ所定の試験波形を印加するドライバ回路を備える半導体試験装置に関する。特に、D U T の I C ピン端における印加波形を改善可能なドライバ回路を備える半導体試験装置に関する。

【0 0 0 2】

【従来の技術】

図 9 は半導体試験装置の概念構成図である。この要部構成要素はタイミング発生器 T G と、パターン発生器 P G と、波形整形器 F C と、ピンエレクトロニクス P E と、パフォーマンスボード P B と、伝送線路 C B 1 と、論理比較器 D C と、フェイル・メモリ F M とを備える。前記ピンエレクトロニクス P E には、ドライバ D R やコンパレータ C P 、その他を備える。ここで、半導体試験装置は公知であり技術的に良く知られている為、本願に係る要部を除き、その他の信号や構成要素、及びその詳細説明については省略する。

【0 0 0 3】

図 2 はドライバ D R の出力端から出力するドライバ端出力パルス V_{out} と、これを受ける D U T の I C ピン端の D U T 端印加パルス V_{dut} を示す波形図である。ここで、D U T 端印加パルス V_{dut} の波形が目的とする印加波形である。

D U T へ供給される波形は、ドライバ D R の出力端に接続される伝送線路 C B 1 や他要素の負荷に伴って高域成分が減衰してくる。この為、図 1 に示すピーキング回路 4 のように、高域成分を持ち上げる回路をドライバ回路に内蔵している。このピーキング回路の結果、図 2 A、図 2 B に示すドライバ端出力パルス V_{out} の波形が出力される。この波形がパフォーマンスボード P B と伝送線路 C B 1 を伝送した後、D U T の I C ピンに到達すると、図 2 に示す D U T 端印加パルス V_{dut} のように、目的とする適切な波形が印加できる。

【0 0 0 4】

図1は従来のAEステーション型のドライバ回路の本願に係る原理構成図である。

ドライバ回路の構成要素は、前段部と終段部とを備える。前段部は差動スイッチでありトランジスタQ3、Q4と抵抗R1、R2と、定電流源2とを備える。終段部はDUT端で所定の波形が得られるように駆動するものでありトランジスタQ1、Q2と抵抗R3と、ピーキング回路4と、定電流源1とを備える。ピーキング回路4は抵抗R4と、コイルL4とを備える。

ここで、AEステーション型のドライバ回路は、終段部が電流スイッチするように駆動されることによりハイレベルとローレベルの振幅が所定に規定される形態のドライバ回路である。この為、NPN型のトランジスタと所定抵抗値の抵抗R3とによる出力段構成となってる。尚、抵抗R3の抵抗値は伝送線路のインピーダンスに対応して50Ωが使用される。

【0005】

前段部は、差動型アンプであって、波形整形器FCからの整形信号DRPをドライバ入力パルスP1として受けて、これを所定の電圧レベルで所定振幅の差動信号に変換して対応するトランジスタQ3、Q4のベース入力端へ供給し、両トランジスタのコレクタからは所定の振幅に変換された差動のスイッチ信号Q3s、Q4sを終段部のトランジスタの対応するベース入力端へ供給する。

【0006】

終段部は、差動型アンプであって、上記差動のスイッチ信号Q3s、Q4sを受けて一方のトランジスタQ2のコレクタ端から所定振幅で所定駆動能力にバッファしたドライバ端出力パルスVoutを出力する。このとき、ハイ側出力電圧VHは電源電圧VH1で規定され、ロー側出力電圧VLは $\{VH1 - i1 \times R3\}$ で規定される。更に、ピーキング回路4によって図2A、Bに示すように立ち上がりエッジと立下がりエッジの波形はピーキング補償された波形として出力される。

【0007】

【発明が解決しようとする課題】

上述説明したように従来構成によれば、ピーキング補償されたドライバ波形を

実現する為にコイル素子を使用する必要がある。このコイル素子は L S I に集積化することが困難である。更に、図 1 の回路構成では立ち上がり側のピーキング補償と立下がり側のピーキング補償とを個別に補償できない。この為、D U T 端で波形の非対称が生じる場合には、所望の波形品質となるように非対称な補正を行うことができない。尚、D U T へ印加する印加波形を所望の波形状態で印加できれば、半導体試験装置によるデバイス試験の測定品質が一層向上可能である。

そこで、本発明が解決しようとする課題は、コイル素子を使用すること無く所定のドライバ波形を発生できるドライバ回路を備える半導体試験装置を提供することである。

また、ピーキング補償量を所望に調整可能なドライバ波形を発生できるドライバ回路を備える半導体試験装置を提供することである。

また、立ち上がり側のピーキング補償と立下がり側のピーキング補償を個別に補償可能なドライバ回路を備える半導体試験装置を提供することである。

【 0 0 0 8 】

【課題を解決するための手段】

第 1 の解決手段を示す。ここで第 3 図と第 5 図は、本発明に係る解決手段を示している。

上記課題を解決するために、半導体試験装置のピンエレクトロニクス P E に備えるドライバ回路が被試験デバイスの I C ピンへ供給すべき整形信号 D R P を受けて、所定レベルの振幅に変換し、変換したドライバ出力パルス在所定の伝送経路を介して D U T の I C ピンへ供給する構成を備える半導体試験装置において、

D U T の I C ピンの入力端における D U T 端パルス信号の立ち上がりエッジと立下がりエッジの波形における高域成分が所定の波形となるように、半導体回路を適用してドライバの出力端から出力するドライバ出力パルスの立ち上がりエッジと立下がりエッジの波形を個々に所定に補償するパルス補償手段を備える、ことを特徴とする半導体試験装置である。

上記発明によれば、コイル素子を使用すること無くピーキング補償された所定のドライバ波形を発生できるドライバ回路を備える半導体試験装置が実現できる。

【0 0 0 9】

次に、第 2 の解決手段を示す。

上記課題を解決するために、パターン発生器と波形整形器とに基づいて所定に整形された所定タイミングの整形信号 D R P をピンエレクトロニクスに備えるドライバ回路（例えば A E ステーション型のドライバ回路）が受けて、所定レベルの振幅に変換したドライバ出力パルスを被試験デバイスの I C ピンへ供給する構成を備える半導体試験装置において、

D U T の I C ピンの入力端における D U T 端パルス信号の立ち上がりエッジと立下がりエッジの波形における高域成分が所定の波形となるように、ドライバの出力端から出力するドライバ出力パルスの立ち上がりエッジと、ドライバ出力パルスの立下がりエッジとの両波形において、半導体回路を適用して個別の補償条件でピーキング補償できるパルス補償手段を備える、ことを特徴とする半導体試験装置がある。

【0 0 1 0】

次に、第 3 の解決手段を示す。

上述パルス補償手段の一態様としては、ドライバ出力パルスに対する立ち上がり側と立下がり側のピーキング補償量を外部から所定の補償量に調整制御できる補償量調整手段を備える、ことを特徴とする上述半導体試験装置がある。

【0 0 1 1】

次に、第 4 の解決手段を示す。

上述補償量調整手段の一態様としては、出力する上記ドライバ出力パルスのピーキング補償を行う所定の振幅量を外部から調整制御する手段（例えば可変定電流源 C S 3、C S 4）を備える、ことを特徴とする上述半導体試験装置がある。

【0 0 1 2】

次に、第 5 の解決手段を示す。

上述補償量調整手段の一態様としては、出力する上記ドライバ出力パルスのピーキング補償を行う所定のパルス幅期間を外部から調整制御する手段（例えば可変遅延制御が可能な微小遅延手段 D L 1）を備える、ことを特徴とする上述半導体試験装置がある。

【0013】

次に、第6の解決手段を示す。ここで第3図と第4図と第5図は、本発明に係る解決手段を示している。

上述パルス補償手段の一態様は、上記整形信号DRPを受けて上記整形信号DRPの立ち上がりエッジから所定期間の立ち上がり補正パルスP2を生成する立ち上がりエッジパルス生成手段を具備し、

上記整形信号DRPの立下がりエッジから所定期間の立下がり補正パルスP3を生成する立下がりエッジパルス生成手段を具備し、

上記立ち上がり補正パルスP2と上記立下がり補正パルスP3との2つの信号に基づいてドライバの出力端から出力するドライバ出力パルスの立ち上がりエッジと立下がりエッジの波形を所定にピーキング補償するピーキング補償手段を具備し、

以上を具備することを特徴とする上述半導体試験装置がある。

【0014】

次に、第7の解決手段を示す。ここで第7図と第8図は、本発明に係る解決手段を示している。

上述パルス補償手段の一態様は、上記整形信号DRPを受けて上記整形信号DRPの立ち上がりエッジから所定期間の立ち上がり補正パルスP2を生成する立ち上がりエッジパルス生成手段を所定複数備え、

上記整形信号DRPの立下がりエッジから所定期間の立下がり補正パルスP3を生成する立下がりエッジパルス生成手段を所定複数備え、

上記所定複数の立ち上がり補正パルスP2と上記所定複数の立下がり補正パルスP3との各々の信号に基づいて、ドライバの出力端から出力するドライバ出力パルスの立ち上がりエッジと立下がりエッジの波形を所定にピーキング補償するピーキング補償手段を具備し、

以上を具備することを特徴とする上述半導体試験装置がある。

【0015】

次に、第8の解決手段を示す。

上述立ち上がりエッジパルス生成手段及び上記立下がりエッジパルス生成手段

の個々のピーキング補償は、ドライバ出力パルスに重畳する振幅に対して個々に所定の重み付けした振幅量のピーキング補償量を付与し、ドライバ出力パルスに重畳するパルス幅に対して個々に所定のパルス期間のピーキング補償を付与する、ことを特徴とする上述半導体試験装置がある。

【0016】

次に、第9の解決手段を示す。ここで第3図は、本発明に係る解決手段を示している。

上述ピーキング補償手段の一態様としては、ドライバ回路の終段部と、前記終段部の前段に備えるドライバ回路の前段部と、ピーキング補償を付与するオーバーシュートコントロール部200とを備える、ことを特徴とする上述半導体試験装置がある。

【0017】

次に、第10の解決手段を示す。ここで第3図は、本発明に係る解決手段を示している。

上述ドライバ回路の終段部は差動増幅構成であって、第1のトランジスタQ1と第2のトランジスタQ2と第1の分流抵抗R11と第2の分流抵抗R12と第1の定電流源1と前記第2のトランジスタのコレクタ端に接続されている負荷抵抗R3とを備え、

上記第1のトランジスタQ1のエミッタ端と上記第1の定電流源1との間に所定抵抗値の第1の分流抵抗R11を挿入して接続し、

上記第2のトランジスタQ2のエミッタ端と上記第1の定電流源1との間に所定抵抗値の第2の分流抵抗R12を挿入して接続し、

両分流抵抗R11、R12により両トランジスタが常に能動状態にバイアスされて動作し、

上記第1の定電流源1は上記負荷抵抗R3へりピーキング補償に必要となる定電流量を流し、これによって生じる所定の電圧振幅でピーキング補償を行う電圧を発生する、ことを特徴とする上述半導体試験装置がある。

【0018】

次に、第11の解決手段を示す。ここで第3図は、本発明に係る解決手段を示

している。

上述ドライバ回路の前段部は差動増幅構成であって、第3のトランジスタQ3と第4のトランジスタQ4と第2の定電流源2と前記第3のトランジスタのコレクタ端に接続されている所定抵抗値の第1の抵抗R1と前記第4のトランジスタのコレクタ端に接続されている所定抵抗値の第2の抵抗R2とを備え、

上記第3のトランジスタQ3のコレクタ端を上記第2のトランジスタQ2のベース端へ接続し、

上記第4のトランジスタQ4のコレクタ端を上記第1のトランジスタQ1のベース端へ接続し、

上記整形信号DRPの差動の入力信号を前段部が受けて、当該前段部から所定振幅の差動のスイッチ信号Q3s、Q4sを発生して上記第1のトランジスタQ1と第2のトランジスタQ2のベース端へ供給する、ことを特徴とする上述半導体試験装置がある。

【0019】

次に、第12の解決手段を示す。ここで第3図は、本発明に係る解決手段を示している。

上述オーバーシュートコントロール部200の一態様としては、駆動パルス生成手段230と、立ち上がりパルス重畳部210と、立下がりパルス重畳部220とを備える、ことを特徴とする上述半導体試験装置がある。

【0020】

次に、第13の解決手段を示す。ここで第4図は、本発明に係る解決手段を示している。

上述駆動パルス生成手段230の一態様としては、上記整形信号DRPを受けて前記整形信号DRPの立ち上がりエッジから所定期間の立ち上がり補正パルスP2を生成して差動で出力し、且つ整形信号DRPの立下がりエッジから所定期間の立下がり補正パルスP3を生成して差動で出力する、ことを特徴とする上述半導体試験装置がある。

【0021】

次に、第14の解決手段を示す。

上述駆動パルス生成手段 230 の一態様は、上記整形信号 DRP を受けて前記整形信号 DRP の立ち上がりエッジから所定期間の立ち上がり補正パルス P2 を生成して差動で出力し、且つ整形信号 DRP の立下がりエッジから所定期間の立下がり補正パルス P3 を生成して差動で出力するものであり、

上記立ち上がり補正パルス P2 と立下がり補正パルス P3 の生成パルス幅はピーキング補償する補償期間が所定に調整制御できるように、出力するパルス幅を外部から可変設定できる手段（例えば微小遅延手段 DL1、DL2 を可変遅延構成とする）を備える、ことを特徴とする上述半導体試験装置がある。

【0022】

次に、第15の解決手段を示す。

上述立ち上がりパルス重畳部 210 の一態様は、差動増幅構成であって、第5のトランジスタ Q5 と第6のトランジスタ Q6 と第3の定電流源 CS3 とを備え、

上記第5のトランジスタ Q5 のコレクタは上記前段部の第1の抵抗 R1 の一端及び上記終段部の第2のトランジスタ Q2 のベース端に接続し、

上記立ち上がり補正パルス P2 を上記立ち上がりパルス重畳部 210 が差動で受けて、上記第5のトランジスタ Q5 に所定のシンク電流 i_{Q5} が流れるとき、上記前段部の第1の抵抗 R1 の電圧を所定にドロップさせて、上記終段部の第2のトランジスタ Q2 のベース端の電圧を所定にドロップさせ、このドロップ電圧に基づいてドライバ出力パルスの立ち上がり側を所定にピーキング補償する、ことを特徴とする上述半導体試験装置がある。

【0023】

次に、第16の解決手段を示す。

上述立下がりパルス重畳部 220 の一態様は、差動増幅構成であって、第7のトランジスタ Q7 と第8のトランジスタ Q8 と第4の定電流源 CS4 とを備え、

上記第7のトランジスタ Q7 のコレクタは上記前段部の第2の抵抗 R2 の一端及び上記終段部の第1のトランジスタ Q1 のベース端に接続し、

上記立ち上がり補正パルス P3 を上記立下がりパルス重畳部 220 が差動で受けて、上記第7のトランジスタ Q7 に所定のシンク電流 i_{Q7} が流れるとき、上

記前段部の第2の抵抗R2の電圧を所定にドロップさせて、上記終段部の第1のトランジスタQ1のベース端の電圧を所定にドロップさせ、このドロップ電圧に基づいてドライバ出力パルスの立下がり側を所定にピーキング補償する、ことを特徴とする上述半導体試験装置がある。

【0024】

次に、第17の解決手段を示す。

上述第3の定電流源CS3若しくは上記第4の定電流源CS4の一態様としては、定電流量が外部から制御可能な可変定電流源を適用して、ピーキング補償する補償量を可変設定できる、ことを特徴とする上述半導体試験装置がある。

【0025】

尚、本願発明手段は、所望により、上記解決手段における各要素手段を適宜組み合わせ、実用可能な他の構成手段としても良い。また、上記各要素に付与されている符号は、発明の実施の形態等に表示されている符号に対応するものの、これに限定するものではなく、実用可能な他の均等物を適用した構成手段としても良い。

【0026】

【発明の実施の形態】

以下に本発明を適用した実施の形態の一例を図面を参照しながら説明する。また、以下の実施の形態の説明内容によって特許請求の範囲を限定するものではないし、更に、実施の形態で説明されている要素や接続関係が解決手段に必須であるとは限らない。更に、実施の形態で説明されている要素や接続関係の形容／形態は、一例でありその形容／形態内容のみに限定するものではない。

【0027】

本発明について、図3と図4と図5と図6とを参照して以下に説明する。尚、従来構成に対応する要素は同一符号を付し、また重複する部位の説明は省略する。

【0028】

図3は本発明のAEステーション型のドライバ回路の本願に係る原理構成図である。

ドライバ回路の構成要素は、オーバースhootコントロール部200と、前段部と、終段部とを備える。前段部は従来と同一である。終段部は従来要素の中でピーキング回路4を削除し、分流抵抗 R_{11} 、 R_{12} を追加し、電源電圧 V_{H1} の電圧と定電流源1の電流量 i_1 とを所定の条件で使用する構成である。

【0029】

分流抵抗 R_{11} 、 R_{12} は、トランジスタ Q_1 、 Q_2 がベース端へ入力されるベース電圧に比例したコレクタ電流 i_{Q1} 、 i_{Q2} となるようにする為の抵抗であって、例えば 5Ω 程度の小さな抵抗値を適用する。また、電源電圧 V_{H1} の電圧と定電流源1の電流量 i_1 とは両トランジスタは常に能動状態で動作できる条件とする。この結果、両トランジスタは常に能動状態で動作できる。例えば、図1に示す従来の電流量 i_1 が 100mA と仮定し、2倍以上の振幅まで発生可能とした条件のとき、本発明では 200mA 以上の電流量にする。

尚、トランジスタ Q_1 、 Q_2 自身が有するエミッタ抵抗が適用可能な条件となるように前段部を設計すれば、これら抵抗は削除可能である。

【0030】

ここで、上記分流抵抗 R_{11} 、 R_{12} によるトランジスタ Q_2 のコレクタ電流 i_{Q2} について、図6の終段部のベース間電位差に対するコレクタ電流特性を示す特性図を参照して説明する。ここで、前段部から供給される差動のスイッチ信号 Q_{3s} 、 Q_{4s} の両者の電位差($Q_{3s}-Q_{4s}$)は、通常時が $\pm 0.5\text{V}$ と仮定し、ピーキング動作時が $\pm 1\text{V}$ と仮定する。また、定電流源1の電流量 i_1 は、最大のコレクタ電流 i_{Q2} よりも多い電流条件にして、トランジスタ Q_1 、 Q_2 が常に能動状態の領域に存在するようにしておく。

一方の非ピーキングである通常のベース駆動振幅によるコレクタ電圧 Q_{2s} は、図6C点の電流量に基づくハイレベルの出力電圧となり、図6D点の電流量に基づくローレベルの出力電圧となる。

他方のピーキング時のベース駆動振幅によるコレクタ電圧 Q_{2s} は、図6E点の電流量に基づき振幅2倍のハイレベルの出力電圧となり、図6F点の電流量に基づき振幅2倍のローレベルの出力電圧となる。このように2倍の出力電圧が発生できるからして、等価的にピーキング作用を付与した波形が出力できることと

なる。

【0031】

図3に戻り、オーバーシュートコントロール部200は、駆動パルス生成手段230と、立ち上がりパルス重畳部210と、立下がりパルス重畳部220とを備える。

駆動パルス生成手段230は、波形整形器FCからの整形信号DRPを受けて、図5のタイミングチャートに示すように、第1に整形信号DRPと同じドライバ入力パルスP1（P1P、P1N）を差動で出力し、第2に整形信号DRPの立ち上がりの遷移に基づいて所定の立ち上がり補正パルスP2（P2P、P2N）を生成して差動で出力し、第3に整形信号DRPの立下がりの遷移に基づいて所定の立下がり補正パルスP3（P3P、P3N）を生成して差動で出力する。

【0032】

図4は駆動パルス生成手段230の内部構成を示す原理回路図である。この構成要素は立ち上がりエッジ検出器21と、立下がりエッジ検出器22と、微小遅延手段DL1、DL2と、SRフリップ・フロップ23、24と、差動ゲート25とを備える。

【0033】

立ち上がりエッジ検出器21は、整形信号DRPをドライバ入力パルスP1として受けて、この立ち上がり側のエッジを検出し、例えば50ピコ秒の細いパルス21sをSRフリップ・フロップ23のセット入力端Sと微小遅延手段DL1とへ供給する。微小遅延手段DL1は外部から遅延量が可変な微小な遅延回路であり、前記細いパルス21sを受けて、遅延量として例えば300ピコ秒を遅延付与した遅延パルスをSRフリップ・フロップ23のリセット入力端Rへ供給する。この結果、SRフリップ・フロップ23の出力端Q、qからは、約300ピコ秒のパルス期間の差動の立ち上がり補正パルスP2（P2P、P2N）が生成できる。

【0034】

同様に、立下がりエッジ検出器22は、ドライバ入力パルスP1の立下がり側のエッジを検出した細いパルス22sに基づいて約300ピコ秒のパルス期

間の差動の立下がり補正パルス P3 (P3P、P3N) が生成できる。

尚、ドライバ入力パルス P1 がシングル信号の場合には、差動ゲート 25 により差動のドライバ入力パルス P1 (P1P、P1N) に変換して出力する。これら差動の出力信号を図 3 に示す対応する各入力端へ供給する。尚、上記 3 つの各出力信号の位相はピーキング補償が適正に行える位相関係で出力されるようにすることが望ましい。

【0035】

図 3 に戻り、一方の立ち上がりパルス重畳部 210 は、ドライバ端出力パルス V_{out} において立ち上がり側のパルス部位に重畳してピーキング補償を与えるものであり、トランジスタ Q5、Q6 と、可変定電流源 CS3 とを備える。トランジスタ Q5 のコレクタは前段部のトランジスタ Q3 のコレクタと並列接続している。この結果、上記立ち上がり補正パルス P2 (図 5 A、B 参照) を受けたときに、トランジスタ Q5 のシンク電流 i_{Q5} が生じ、これにより、前段部のトランジスタ Q3 のコレクタ電圧であるスイッチ信号 Q3s は、 $(R1 \times i_{Q5})$ の電圧ドロップが重畳加算 (図 5 D、E 参照) される。前記で重畳されたスイッチ信号 Q3s は終段部のトランジスタ Q2 のベース端へ供給される結果、トランジスタ Q2 のコレクタ電圧 Q2s は上記立ち上がり補正パルス P2 の期間では所定の電圧上昇した高い電圧 (図 5 G、H 参照) が出力できることとなる。この結果、立ち上がり側のピーキング補償が実現できる。

また、可変定電流源 CS3 を外部から制御することで、シンク電流 i_{Q5} の電流量を任意に制御可能であるからして、重畳加算する電圧ドロップ量を調整可能となる結果、立ち上がり側のピーキング補償量を独立して所望条件に調整可能となる利点も得られる。

【0036】

他方の立下がりパルス重畳部 220 は、ドライバ端出力パルス V_{out} において立下がり側のパルス部位に重畳してピーキング補償を与えるものであり、トランジスタ Q7、Q8 と、可変定電流源 CS4 とを備える。トランジスタ Q7 のコレクタは前段部のトランジスタ Q4 のコレクタと並列接続している。この結果、上記立下がり補正パルス P3 (図 5 C 参照) を受けたときに、トランジスタ Q7 の

シンク電流 i_{Q7} が生じ、これにより、前段部のトランジスタ $Q4$ のコレクタ電圧であるスイッチ信号 $Q4s$ は、 $(R2 \times i_{Q7})$ の電圧ドロップが重畳加算（図 5 F 参照）される。このスイッチ信号 $Q4s$ が終段部のトランジスタ $Q1$ のベース端へ供給される結果、トランジスタ $Q2$ のコレクタ電圧 $Q2s$ は上記立下がり補正パルス $P2$ の期間では所定の電圧降下した低い電圧（図 5 J 参照）が出力できることとなる。この結果、立下がり側のピーキング補償が実現できる。

また、可変定電流源 $CS4$ を外部から制御することで、シンク電流 i_{Q7} の電流量を任意に制御可能であるからして、重畳加算する電圧ドロップ量を調整可能となる結果、立下がり側のピーキング補償量を独立して所望条件に調整可能となる利点も得られる。

【0037】

上述した発明構成例によれば、半導体 IC による回路構成で実現した立ち上がり側のピーキング補償量を独立して調整できる立ち上がりパルス重畳部 210 と、立下がり側のピーキング補償量を独立して調整できる立下がりパルス重畳部 220 とを具備する構成としたことにより、コイル部品を適用すること無くピーキング補償することが可能となるので LSI 化して実装することが可能となる大きな利点を得られる。更に、立ち上がり側のピーキング補償と、立下がり側のピーキング補償とを独立して調整できる利点を得られる。これらの結果、DUT の IC ピンへ供給される DUT 端印加パルス V_{dut} は、より一層目的波形とすることが可能となる利点を得られる。更に、印加波形の品質が向上する結果、DUT へ印加する波形のタイミング精度も向上される結果、デバイス試験の測定品質が一段と向上できる大きな利点を得られる。

【0038】

尚、本発明の技術的思想は、上述実施の形態の具体構成例、接続形態例に限定されるものではない。更に、本発明の技術的思想に基づき、上述実施の形態を適宜変形して広汎に応用してもよい。

例えば、上述実施例では、オーバーシュートコントロール部 200 を 1 系統備える場合とした具体例であったが、図 7 に示すように、複数 3 系統のオーバーシュートコントロール部 200 a、200 b、200 c を備える。複数 3 系統の個

々のシンク電流は所望の重み付けをしておく。且つ、個々の駆動パルス生成手段 2 3 0 a、2 3 0 b、2 3 0 c に備える微小遅延手段 D L 1、D L 2 は遅延量を所望に変えておく。

これによれば、図 8 のタイミングチャートに示すように、立ち上がり補正パルス P 2 a、P 2 b、P 2 c のパルス（図 8 A、B、C 参照）を生成し、同様に、立下がり補正パルス P 3 a、P 3 b、P 3 c のパルスを生成する。この結果、3 つのシンク電流が重み付けされて重畳されたドライバ端出力パルス V_{out} の波形（図 8 D、E、F 参照）が発生可能となる。この場合には、所望の波形にピーキング補償することが可能となるからして、D U T 端印加パルス V_{dut} は、より一層理想に近い波形で印加可能となる大きな利点が得られる。

【 0 0 3 9 】

また、上述実施例では、図 4 に示す微小遅延手段 D L 1、D L 2 は固定の遅延量としたが、所望により、外部から制御可能な可変遅延手段としても良い。この場合には補償パルスの期間を外部から所望条件に調整できる利点が得られる。

【 0 0 4 0 】

【発明の効果】

本発明は、上述の説明内容からして、下記に記載される効果を奏する。

上述説明したように本発明によれば、半導体回路によるピーキング補償回路構成としたことにより、コイル部品を適用すること無くピーキング補償することが可能となる利点が得られる。従って、数百チャンネルもの多数のドライバ回路を L S I 化して実装可能となる利点が得られる。

更に、立ち上がり側のピーキング補償と、立下がり側のピーキング補償とを独立して調整できる手段を具備する構成としたことにより、D U T の I C ピン端における立ち上がり側の波形と、立下がり側の波形を任意独立に調整できる結果、波形品質の良い印加波形を D U T の I C ピンへ供給可能となる利点が得られる。更に、D U T への印加波形の波形品質の向上に伴って、デバイス試験の試験品質が一段と向上できる大きな利点が得られる。

従って、本発明の技術的效果は大であり、産業上の経済効果も大である。

【図面の簡単な説明】

【図 1】従来の、A Eステーション型のドライバ回路の本願に係る原理構成図である。

【図 2】ドライバD Rの出力端から出力するドライバ端出力パルスと、これを受けるD U Tの I Cピン端のD U T端印加パルスを示す波形図である。

【図 3】本発明の、A Eステーション型のドライバ回路の本願に係る原理構成図である。

【図 4】駆動パルス生成手段の内部構成例を示す原理回路図である。

【図 5】図 3 のピーキング補償を説明するタイミングチャートである。

【図 6】図 3 の終段部のベース間電位差に対するコレクタ電流特性を示す特性図である。

【図 7】本発明の、複数 3 系統のオーバーシュートコントロール部を備える場合のドライバ回路の例である。

【図 8】図 7 のピーキング補償を説明するタイミングチャートである。

【図 9】半導体試験装置の概念構成図である。

【符号の説明】

1, 2 定電流源

C B 1 伝送線路

D L 1, D L 2 微小遅延手段

Q 1, Q 2, Q 3, Q 4, Q 5, Q 6, Q 7, Q 8 トランジスタ

R 1, R 2, R 3, R 4 抵抗

C S 3, C S 4 可変定電流源

4 ピーキング回路

L 4 コイル

R 1 1, R 1 2 分流抵抗

2 1, 2 2 エッジ検出器

2 3, 2 4 S Rフリップ・フロップ

2 5 差動ゲート

2 0 0, 2 0 0 a, 2 0 0 b, 2 0 0 c オーバーシュートコントロール部

2 1 0 立ち上がりパルス重畳部

2 2 0 立下がりパルス重畳部

2 3 0, 2 3 0 a, 2 3 0 b, 2 3 0 c 駆動パルス生成手段

D R ドライバ

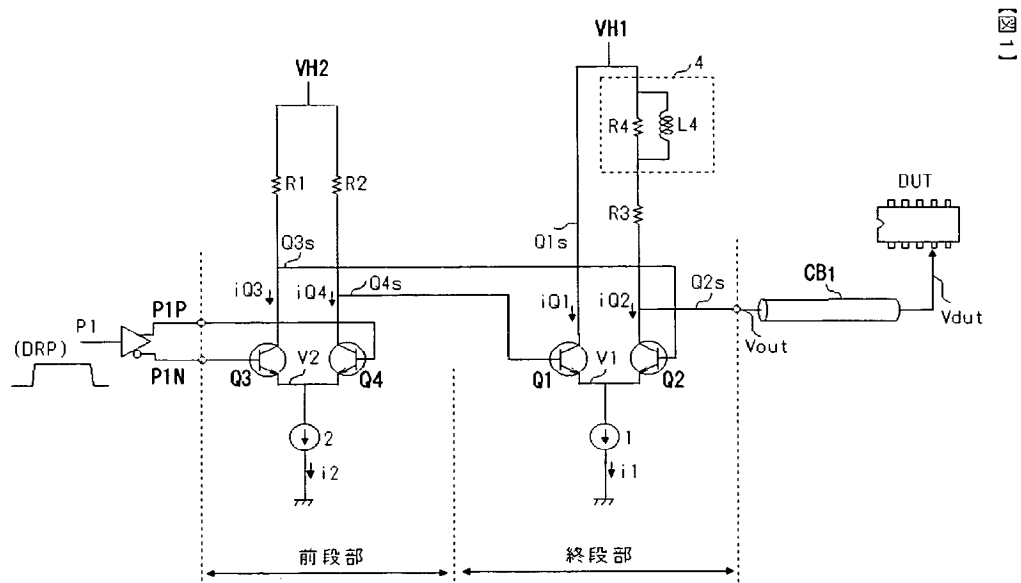
D U T 被試験デバイス

F C 波形整形器

P E ピンエレクトロニクス

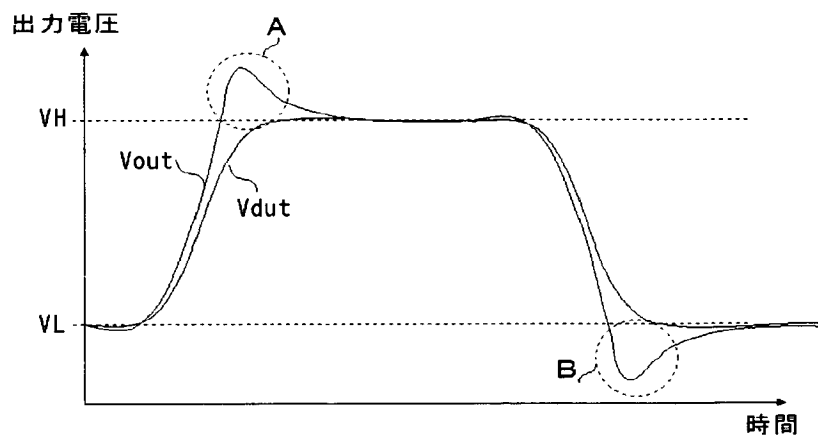
【書類名】 図面

【図 1】



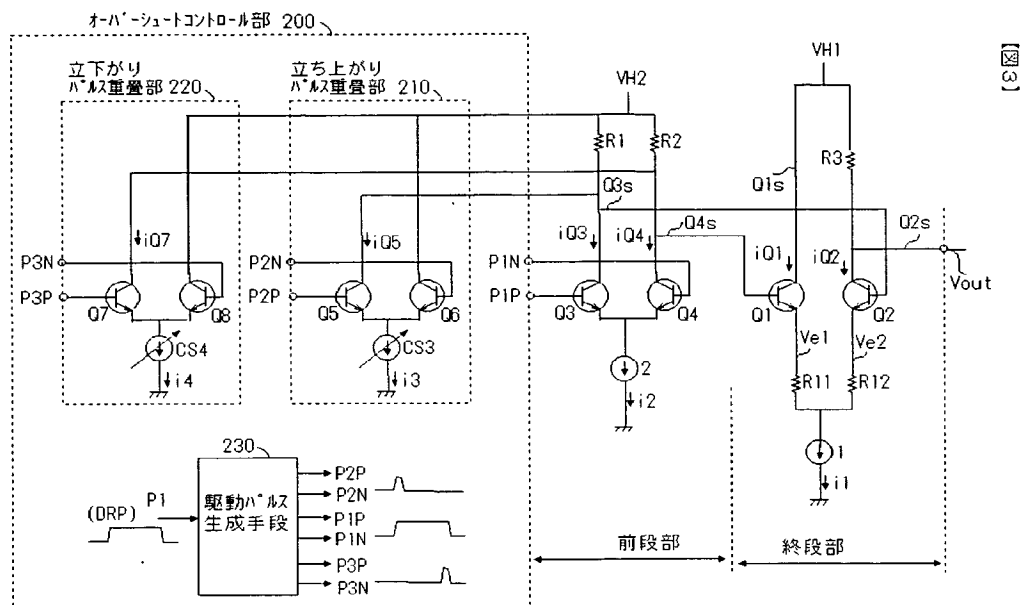
【図 1】

【図 2】

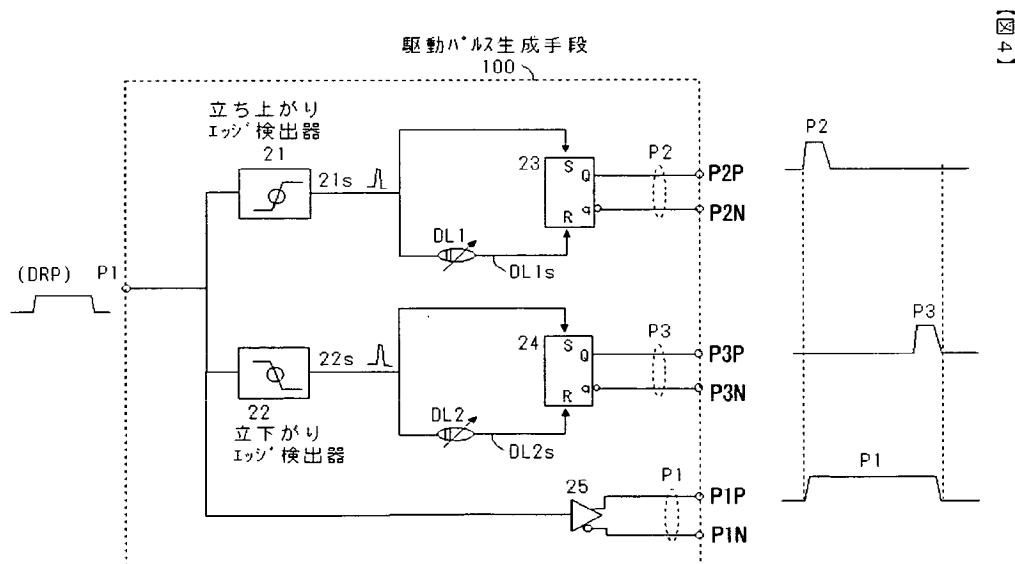


【図 2】

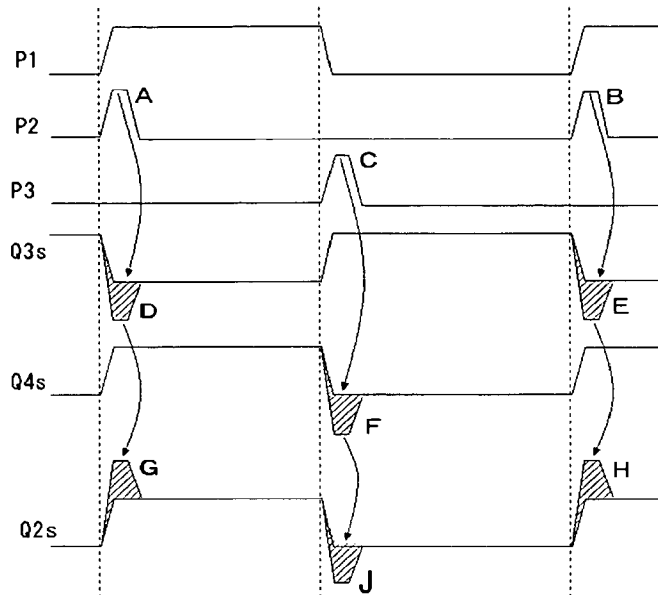
【図 3】



【図 4】

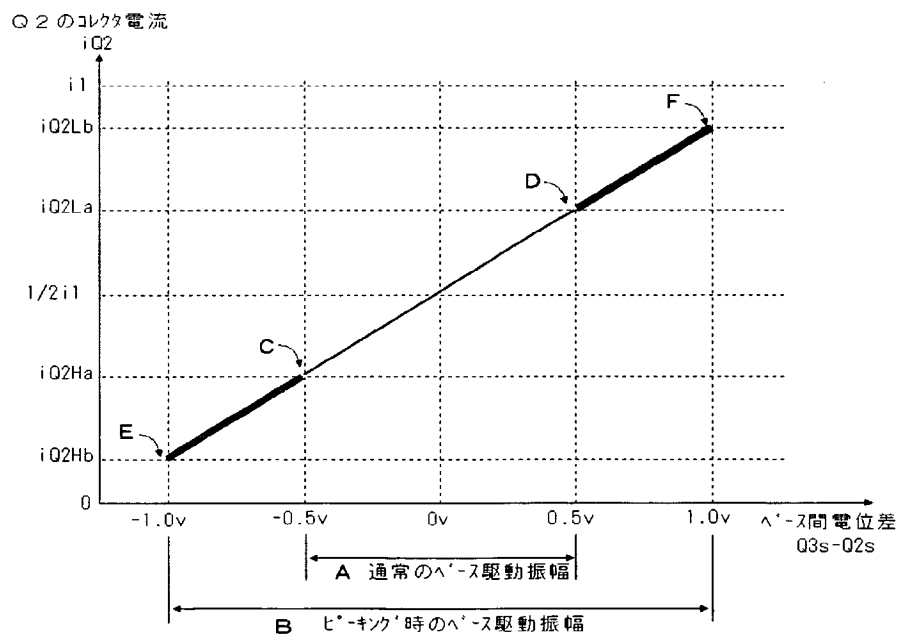


【図 5】



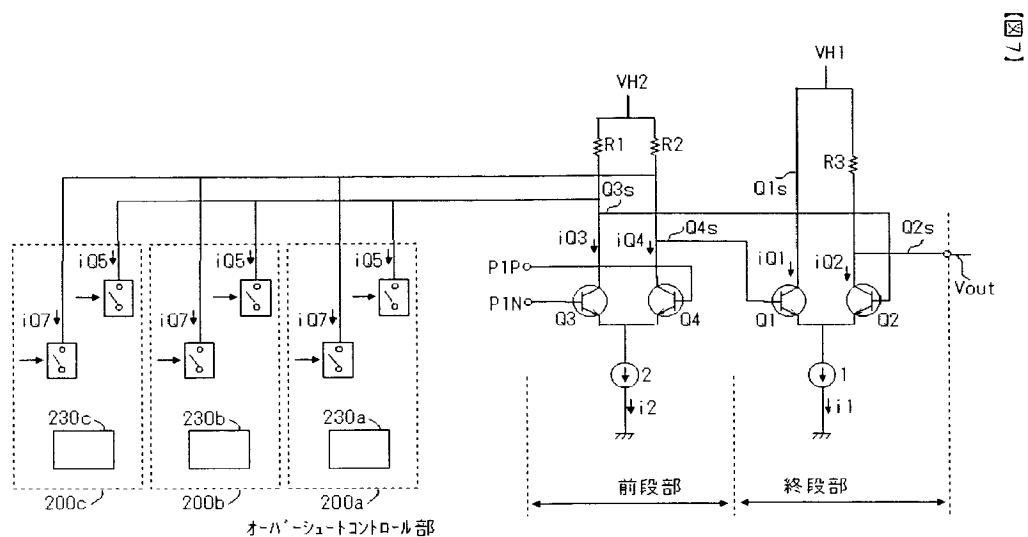
【図 5】

【図 6】

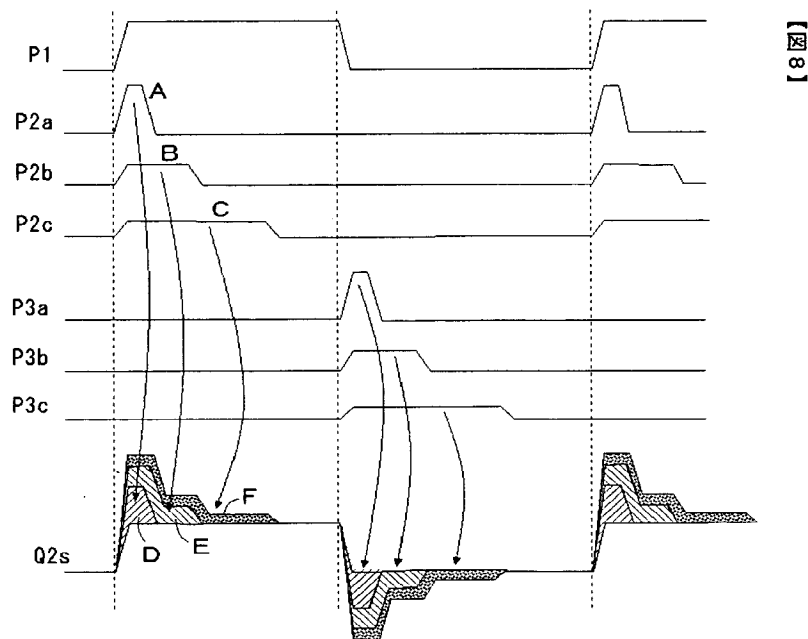


【図 6】

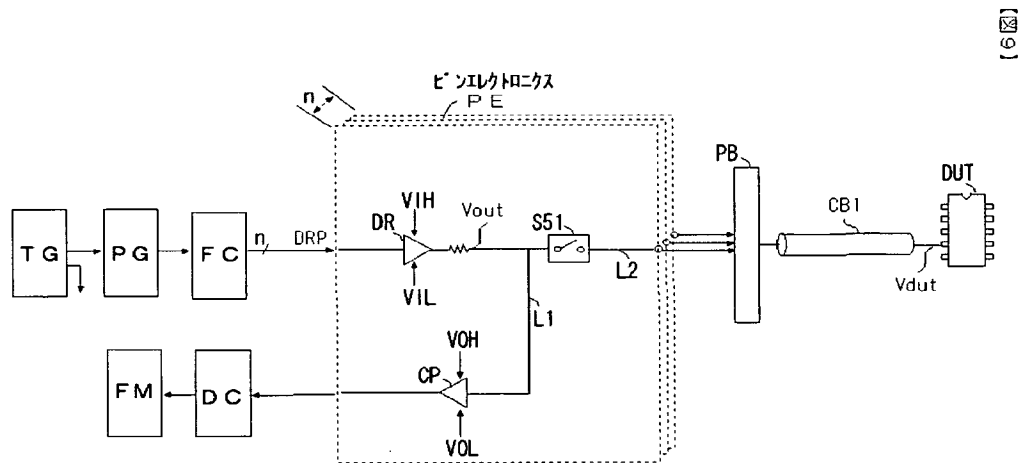
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 コイル素子を使用すること無く所定のドライバ波形を発生できるドライバ回路を備える半導体試験装置を提供する。

【解決手段】 ピンエレクトロニクスに備えるドライバ回路が被試験デバイスの ICピンへ供給すべき整形信号を受けて、所定レベルの振幅に変換し、変換したドライバ出力パルスをも DUT の ICピンへ供給する構成を備える半導体試験装置において、ドライバの出力端から出力するドライバ出力パルスの立ち上がりエッジと立下がりエッジの波形を個々に所定に補償するパルス補償手段を備える、半導体試験装置。

【選択図】 図 3

認定・付加情報

| | |
|---------|--------------------------|
| 特許出願の番号 | 特願 2 0 0 1 - 3 5 4 2 1 7 |
| 受付番号 | 5 0 1 0 1 7 0 4 8 7 0 |
| 書類名 | 特許願 |
| 担当官 | 伊藤 雅美 2 1 3 2 |
| 作成日 | 平成 1 3 年 1 2 月 3 日 |

< 認定情報・付加情報 >

【提出日】 平成 13 年 11 月 20 日

次頁無

出証特 2 0 0 4 - 3 0 5 2 2 5 0

特願 2 0 0 1 - 3 5 4 2 1 7

出 願 人 履 歴 情 報

識別番号 [3 9 0 0 0 5 1 7 5]

| | |
|----------|-------------------------|
| 1. 変更年月日 | 1 9 9 0 年 1 0 月 1 5 日 |
| [変更理由] | 新規登録 |
| 住 所 | 東京都練馬区旭町 1 丁目 3 2 番 1 号 |
| 氏 名 | 株式会社アドバンテスト |